

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06131290 A**(43) Date of publication of application: **13.05.94**

(51) Int. Cl.

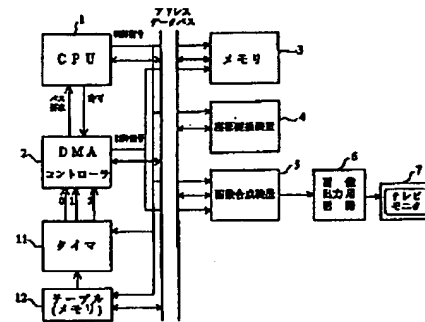
**G06F 13/28**  
**// G06F 15/72**(21) Application number: **04305979**(22) Date of filing: **19.10.92**(71) Applicant: **SONY CORP**(72) Inventor: **KOMORI TOSHIYA**(54) **COMPUTER SYSTEM**

## (57) Abstract:

**PURPOSE:** To efficiently perform various processes by performing time allotment to a DMA controller by a timer.

**CONSTITUTION:** This computer system is equipped with a memory 3, a coordinate converting device 4, and an image composing device 5 as plural processors which perform specific processes at a certain period, a CPU 1 which controls the operation of the entirety, the DMA controller 2 which controls data transfer among the memory 3, coordinate converting device 4, and image composing device 5 not through the CPU 1, and the timer 11 which allots the time of the DMA controller 2. Then this timer 11 performs the time allotment preferentially to the device having the longest process time among the memory 3, coordinate converting device 4, and image composing device 5. Thus, the time is allotted by the timer 11 to the DMA controller 2. Therefore, the DMA transfer can be performed with efficiency.

COPYRIGHT: (C)1994,JPO&amp;Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-131290

(43) 公開日 平成6年(1994)5月13日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G06F 13/28	310	B 9072-5B		
		Y 9072-5B		
// G06F 15/72		A 9192-5L		

審査請求 未請求 請求項の数 2 (全7頁)

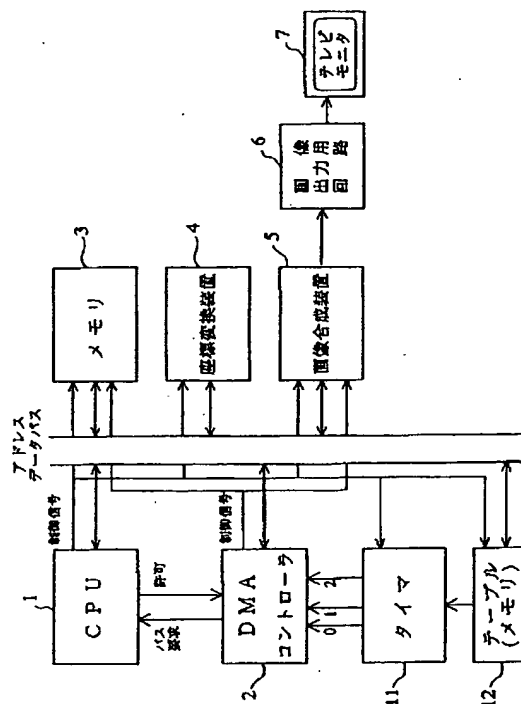
(21) 出願番号	特願平4-305979	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成4年(1992)10月19日	(72) 発明者	小森 俊哉 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 稲本 義雄

(54) 【発明の名称】 コンピュータシステム

(57) 【要約】

【目的】 処理を効率的に実行する。

【構成】 テーブル12に、メモリ3、座標変換装置4および画像合成装置5のDMA転送の時間割付けを行なったデータを記憶しておく。タイマ11は、この記憶データに対応して、DMAコントローラ2に対して、所定の時刻のタイミングで所定の指令のDMA要求を出力する。



## 【特許請求の範囲】

【請求項1】 一定の周期で所定の処理を行なう複数の処理装置と、

全体の動作を制御するCPUと、

前記CPUを介さずに、前記処理装置のデータ転送を制御するDMAコントローラと、

前記DMAコントローラに時間割付けを行なうタイマとを備えることを特徴とするコンピュータシステム。

【請求項2】 前記タイマは、前記複数の処理装置のうち、最長の処理時間を有する処理装置に対して優先して時間割付けを行なうことを特徴とする請求項1に記載のコンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えばコンピュータグラフィック装置に用いて好適なコンピュータシステムに関する。

## 【0002】

【従来の技術】図4は、従来のコンピュータシステムの一例の構成を示すブロック図である。メモリ3は、3次元画像のデータを記憶している。座標変換装置4は、メモリ3に記憶されている3次元画像のデータを、2次元画像のデータに変換する座標変換処理を実行する。画像合成装置5は、2次元画像データに変換された画像データを展開し、テレビモニタ7に出力し、表示するための画像を合成する。画像出力用回路6は、画像合成装置5により合成された画像データをテレビモニタ7に出力するようになされている。

【0003】CPU1は、各装置の動作を制御するようになされている。DMAコントローラ2は、CPU1を介さずに、メモリ3、座標変換装置4および画像合成装置5の間におけるデータの転送（DMA転送）を制御する。

【0004】次に、その動作について説明する。メモリ3には、CPU1あるいは図示せぬ演算装置により生成された3次元画像のデータが記憶されている。これをテレビモニタ7に出力し、表示させる場合、CPU1は、座標変換装置4に対して、処理の実行を指令する。座標変換装置4は、処理を開始するに当たり、DMAコントローラ2に対して、メモリ3からのデータのDMA転送の要求を出力する。このとき、DMAコントローラ2は、CPU1に対して、アドレスデータバスを開放するよう要求する。CPU1は、このバス要求に対して許可を与える。DMAコントローラ2は、この許可を受けたとき、メモリ3から座標変換装置4に対して、データバスを介して、メモリ3に記憶されている3次元画像データのDMA転送を開始させる。

【0005】座標変換装置4は、メモリ3より入力を受けたデータを処理して、3次元画像のデータから2次元画像のデータに変換する。この座標変換処理が終了した

とき、座標変換装置4は、DMAコントローラ2に対して、座標変換装置4からメモリ3に対するデータのDMA転送の要求を行う。DMAコントローラ2は、このDMA要求を受けたとき、これを許可する。これにより、座標変換装置4からメモリ3に、2次元画像に変換されたデータがDMA転送され、記憶される。

【0006】このような座標変換処理が終了したとき、次にCPU1は、画像合成装置5に対して制御信号を出力し、テレビモニタ7に画像を表示するように指令する。このとき、画像合成装置5は、DMAコントローラ2に対して、メモリ3から画像合成装置5に対するデータのDMA転送を要求する。DMAコントローラ2は、データバスが空いているとき、これを許可する。これにより、メモリ3から画像合成装置5に対して、座標変換装置4により2次元画像に変換されたデータがDMA転送される。画像合成装置5は、このようにして、DMA転送された画像を合成し、これを画像出力用回路6を介してテレビモニタ7に出力し、表示させる。

【0007】テレビモニタ7は、1フレーム（またはフィールド）単位で画像を表示する。その結果、座標変換装置4、画像合成装置5およびテレビモニタ7における処理を、単位時間としてのフレームを基準として、タイミングチャートにまとめると、図5に示すようになる。

【0008】即ち、図5において、時間 $T_1$ 乃至 $T_3$ は、フレームの周期を表している。座標変換装置4において、時間 $T_1$ で処理された画像aのデータは、時間 $T_1$ の次の時間 $T_2$ において、画像合成装置5に出力され、処理される。そして、さらに時間 $T_2$ の次の時間 $T_3$ において、画像合成装置5からテレビモニタ7に出力され、表示される。画像合成装置5が時間 $T_1$ において、画像aのデータを処理している期間において、座標変換装置4は、画像aの次のフレームの画像bを処理している。また、時間 $T_3$ において、テレビモニタ7に画像aが表示されているとき、画像合成装置5は、画像aの次のフレームの画像bのデータを処理し、座標変換装置4は、画像bの次のフレームの画像cのデータを処理している。

【0009】図5に示した時間 $T_3$ における処理を拡大して示すと、図6に示すようになる。即ち、画像合成装置5は、各フレームの画像（いまの場合、画像b）のデータを、メモリ3から4回に分けてDMA転送を受ける。即ち、DMA51の期間でDMA転送を受けて、そのデータをレンダリング51の期間においてレンダリング処理する。レンダリング51の処理が終了したとき、次にDMA52の期間で次のデータのDMA転送を受け、そのデータを、レンダリング52の期間においてレンダリング処理する。さらに、その次にDMA53の期間で3回目のDMA転送を受け、そのデータに対して、レンダリング53の期間においてレンダリング処理をし、最後にDMA54の期間で1フレームの最後のデータのDMA転送を受け、レンダリング54の期間におい

てレンダリング処理を施す。

【0010】1フレームの期間(時間 $T_1$ )に、このようにして4回のDMA転送を受け、そのデータに対して処理を実行して、画像bの合成データを生成するのである。

【0011】一方、座標変換装置4は、画像cのデータを、3次元画像のデータから2次元画像のデータに変換するのに、4回に分けて処理を実行する。

【0012】即ち、最初にメモリ3からDMA41の期間にDMA転送を受け、そのDMA転送を受けたデータ 10 に対して、変換処理41の期間において座標変換処理を行う。この処理により、2次元画像に変換されたデータは、DMA42の期間において、座標変換装置4からメモリ3に対してDMA転送される。次に再びメモリ3から3次元画像データが、DMA43の期間においてDMA転送され、座標変換装置4に供給される。

【0013】座標変換装置4は、このデータに対して、変換処理42の期間において、3次元画像のデータから2次元画像のデータに変換する処理を実行する。そして、この処理が完了したとき、DMA44の期間において、変換処理が終了したデータを、座標変換装置4からメモリ3にDMA転送する。 20

【0014】以下同様にして、第3回目および第4回目の座標変換処理を実行して、画像cの3次元画像から2次元画像への座標変換処理が完了する。

【0015】

【発明が解決しようとする課題】DMAコントローラ2は、複数の周辺処理装置からDMA要求があった場合、優先順位の高いものから順次許可するようになされている。また、所定の周辺処理装置からのDMA転送を実行中に、他の処理装置からDMA要求が発生された場合、たとえそのDMA要求が優先順位が高いものであったとしても、現在実行中のDMA転送が終了するまで、その優先順位の高いDMA転送を待機させなければならない。 30

【0016】その結果、例えば図6のタイミングチャートにおける時刻 $t_1$ のタイミングにおいて、画像合成装置5が、DMA53の期間におけるDMA転送の要求をDMAコントローラ2に出力したとき、座標変換装置4におけるDMA46、DMA47の期間におけるDMA 40 転送が現在実行中である。このため、このDMA転送が終了するまで、DMA53の期間におけるDMA転送は、延期されることになる。

【0017】レンダリング51乃至54の処理時間が短い場合は、1フレームの時間 $T_1$ 内において待機することも可能であるが、一般的に、レンダリング51乃至54の処理時間は、変換処理41乃至44の処理時間に比べて長くなっている。従って、あまり長い時間待機することはできない。この待機時間が長すぎると、結局、1フレームの期間内に処理を終了することができなくな 50

る。

【0018】本発明はこのような状況に鑑みてなされたものであり、より効率的にデータを転送することができるようにするものである。

【0019】

【課題を解決するための手段】本発明のコンピュータシステムは、一定の周期で所定の処理を行う複数の処理装置としてのメモリ3、座標変換装置4、画像合成装置5と、全体の動作を制御するCPU1と、CPU1を介さずに、メモリ3、座標変換装置4、画像合成装置5のデータ転送を制御するDMAコントローラ2と、DMAコントローラ2に時間割付けを行なうタイマ11とを備えることを特徴とする。

【0020】このタイマ11は、メモリ3、座標変換装置4および画像合成装置5のうち、最長の処理時間を有するものに対して優先して時間割付けを行なうようにすることができる。

【0021】

【作用】上記構成のコンピュータシステムにおいては、タイマ11によりDMAコントローラ2に対して時間割付けが行なわれる。従って、効率的にDMA転送を実行することができる。

【0022】

【実施例】図1は、本発明のコンピュータシステムの一実施例の構成を示すブロック図であり、図4における場合と対応する部分には同一の符号を付してある。即ち、この実施例においては、タイマ11が設けられており、このタイマ11は、テーブル(メモリ)12に記憶されている時間割付けデータ(テーブル)に対応して、DMAコントローラ2に対してDMA要求を出力するようになされている。その他の構成は、図4における場合と同様である。

【0023】次に、その動作について説明する。メモリ3には、画像データの他、例えば図2に示すようなタイマ割付けデータが予め記憶されている。テレビモニタ7に対する画像表示の指令が入力されたとき、CPU1は、この画像データをメモリ3から読み出させ、データバスを介してテーブル12に転送し、記憶させる。タイマ11は、このテーブル12に記憶されたタイマ割付けデータに対応して、所定の時刻毎にDMA要求を出力することになる。

【0024】即ち、図2に示すように、タイマ11は計時動作を行ない、時刻0において、DMA番号0のDMA要求をDMAコントローラ2に出力する。また、時刻5において、DMA番号1のDMA要求を出力し、時刻20において、DMA番号2のDMA要求を出力する。以下、図2に示すように、DMA時刻の欄に記載されている時刻において、DMA番号の欄に記載されているDMA要求を、DMAコントローラ2に出力する。

【0025】図3は、図5に示した時間 $T_1$ において、

タイマ11から発生されるDMA要求と、それに対応する画像合成装置5と座標変換装置4の処理のタイミングを示している。同図に示すように、時刻0において、DMA要求0が出力される。このDMA要求0は、メモリ3に記憶されている2次元画像データを画像合成装置5にDMA転送する要求である。従って、時刻0から始まるDMA51の期間において、メモリ3に記憶されている2次元画像に変換されているデータが、画像合成装置5に第1回目のデータとしてDMA転送される。画像合成装置5は、このデータに対して、レンダリング51の期間においてレンダリング処理を実行する。

【0026】次に、時刻5において、タイマ11は番号1のDMA要求をDMAコントローラ2に出力する。この番号1のDMA要求は、メモリ3に記憶されている3次元画像のデータを座標変換装置4にDMA転送することを要求するものである。このため、時刻5から始まるDMA41の期間において、メモリ3に記憶されている3次元画像のデータが座標変換装置4に第1回目のデータとしてDMA転送される。座標変換装置4は、この第1回目の画像データを、3次元画像から2次元画像のデータに、変換処理41の期間において処理する。

【0027】そして、タイマ11は、時刻20において、番号2のDMA要求をDMAコントローラ2に出力する。この番号2のDMA要求は、座標変換装置4の2次元画像のデータをメモリ3にDMA転送することを要求するものである。従って、時刻20から始まるDMA42の期間において、座標変換装置4により処理された第1回目の2次元画像データがメモリ3にDMA転送される。

【0028】尚、時刻20は、座標変換装置4が第1回目の3次元画像のデータを2次元画像のデータに座標変換処理するのに必要な処理時間を考慮して、予め決定されているものである。従って、座標変換装置4において、座標変換処理が終了した後、その終了したデータがメモリ3に戻されることになる。

【0029】次に、タイマ11は、時刻25において、番号1のDMA要求をDMAコントローラ2に出力する。これにより、時刻25から始まるDMA43の期間において、メモリ3に記憶されている3次元画像のデータが、座標変換装置4に第2回目のデータとしてDMA転送される。座標変換装置4は、この第2回目の3次元画像のデータを変換処理42の期間において変換処理する。このデータも、次にタイマ11がDMAコントローラ2に対して番号2のDMA要求を出力したとき、DMA44の期間において、座標変換装置4からメモリ3にDMA転送される。

【0030】タイマ11は、また、時刻35において第2回目の番号0のDMA要求をDMAコントローラ2に出力する。その結果、時刻35から始まるDMA52の期間において、メモリ3に記憶されている2次元画像の

データが、画像合成装置5にDMA転送される。このデータは、レンダリング52の期間においてレンダリング処理される。

【0031】以下同様に、タイマ11は、テーブル12に記憶されているタイマ割付けに対応して、所定のタイミング(時刻)で所定の番号のDMA要求を出力する。DMAコントローラ2は、このDMA要求に対応するDMA転送を実行する。

【0032】この実施例においては、図3における時刻 $t_1$ のタイミングにおいて、番号0のDMA要求が出力されるように割付けが行なわれている。即ち、上述したように、画像合成装置5におけるレンダリング51乃至54の処理時間は、座標変換装置4における変換処理41乃至44の処理時間より長い時間を必要とする。タイマ割付けは、このより長い処理に対して優先的に行なわれている。従って、レンダリング52の期間において、処理が完了したとき、時間を開けることなく、DMA53の期間において、第3回目の2次元画像データが、メモリ3から画像合成装置5にDMA転送される。そして、このデータが、レンダリング53の期間においてレンダリング処理される。このようにして、より長い時間を要するレンダリング処理が不連続になるようなことが防止される。

【0033】一方、このように処理時間が長い画像合成装置5に対する時間割付けが優先される結果、変換処理43の期間で座標変換装置4において、3次元画像から2次元画像に座標変換されたデータをメモリ3に戻すDMA転送は、メモリ3から画像合成装置5に対する第3回目のDMA転送がDMA53の期間において行なわれた後、DMA46の期間において実行される。その結果、座標変換装置4の座標変換処理は、変換処理43の期間において既に完了しているのであるが、DMA46の期間が到来するまで、座標変換装置4はDMA転送を待機することになる。

【0034】しかしながら、このように待機したとしても、変換処理41乃至44の処理は、レンダリング51乃至54の期間におけるレンダリング処理に較べて短い時間で終了することができるため、1フレームの時間 $T_1$ 内において、1フレーム分のすべてのデータの処理を完了することができなくなるようなことがない。

【0035】この図3に示すような処理が、各フレーム毎(図5における時間 $T_1$ 乃至 $T_n$ )において繰返し実行されることにより、テレビモニタ7にメモリ3から読み出した画像を連続的に表示することができる。

【0036】メモリ3から読み出されたデータが、座標変換装置4において、3次元画像のデータから2次元画像のデータに変換され、これがメモリ3に戻されて、一旦記憶される。そして、メモリ3から、この2次元画像に変換されたデータが読み出されて、画像合成装置5に供給され、ここで1フレーム分の画像として合成され

て、画像出力用回路 6 を介してテレビモニタ 7 に出力、表示される動作は、上述した場合と同様であるので省略する。

#### 【0037】

【発明の効果】以上の如く請求項 1 に記載のコンピュータシステムによれば、タイマにより DMA コントローラに対して時間割付けを行なうようにしたので、各処理を効率的に実行することが可能になる。

【0038】請求項 2 に記載のコンピュータシステムによれば、より長い処理時間を有する処理装置に対する時間割付けを優先するようにしたので、一定の周期の間に最も効率的に処理を実行することができる。

#### 【図面の簡単な説明】

【図 1】本発明のコンピュータシステムの一実施例の構成を示すブロック図である。

【図 2】図 1 の実施例におけるテーブル 12 の内容を説明する図である。

【図 3】図 1 の実施例の動作を説明するタイミングチャ

ートである。

【図 4】従来のコンピュータシステムの一例の構成を示すブロック図である。

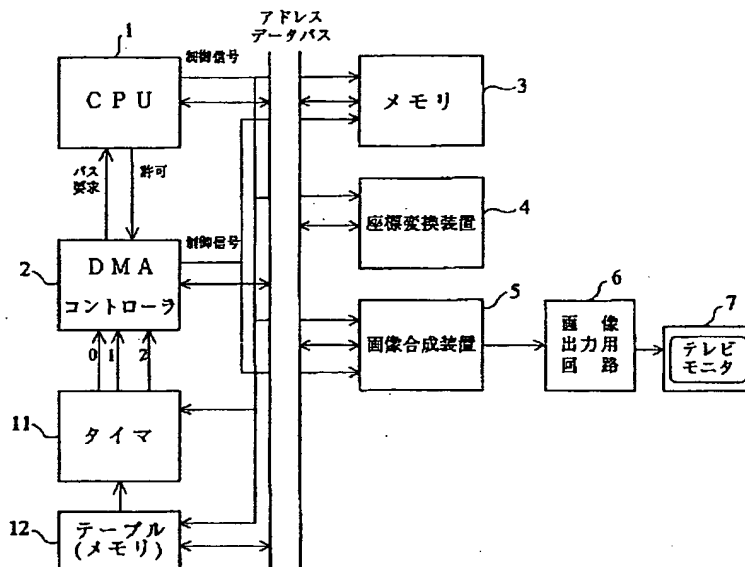
【図 5】図 4 の例の動作を説明するタイミングチャートである。

【図 6】図 5 の時間  $T_3$  のより詳細な動作を説明するタイミングチャートである。

#### 【符号の説明】

- 1 CPU
- 2 DMA コントローラ
- 3 メモリ (処理装置)
- 4 座標変換装置 (処理装置)
- 5 画像合成装置 (処理装置)
- 6 画像出力用回路
- 7 テレビモニタ
- 11 タイマ
- 12 テーブル (メモリ)

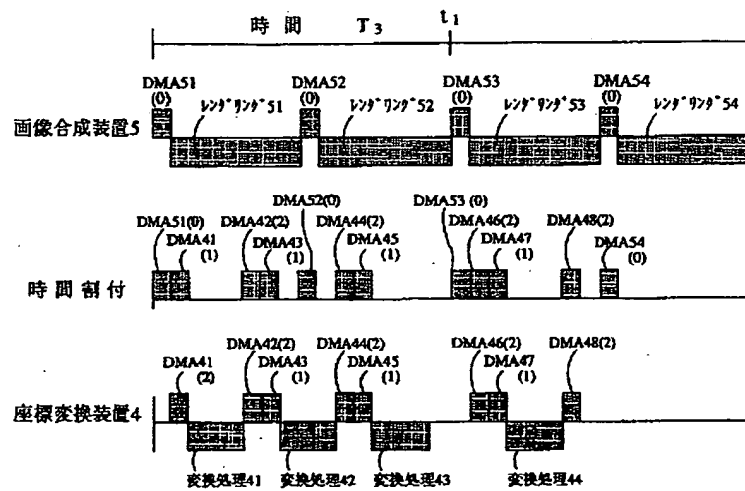
【図 1】



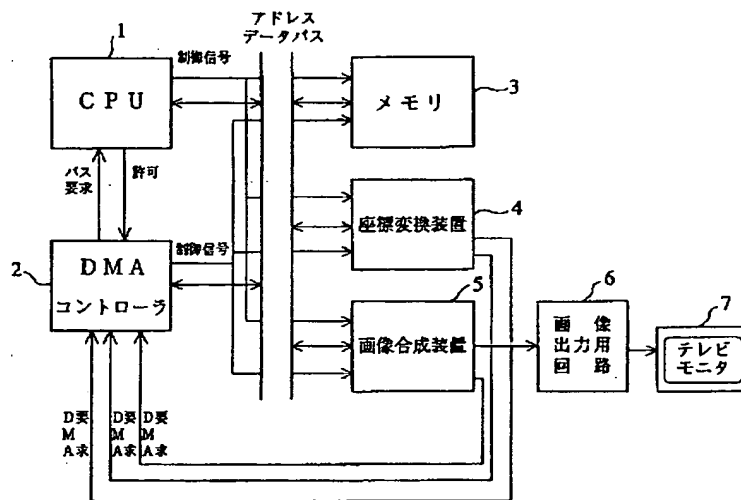
【図 2】

DMA 時刻	DMA 番号
0	0
5	1
20	2
25	1
35	0
⋮	⋮
⋮	⋮
⋮	⋮

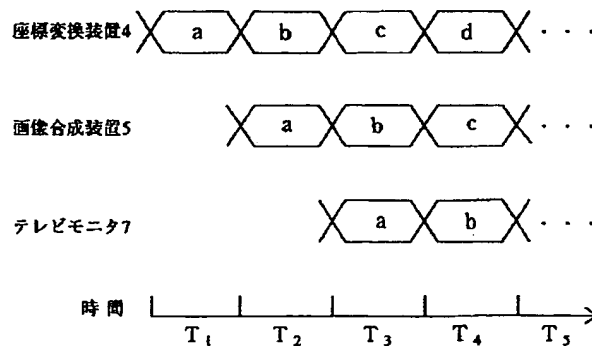
【図3】



【図4】



【図5】





【図6】

